

Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 08-320578

[0006] to [0015]

[Problems to be solved by the Invention] As described above is the conventional patter formation method using a chemically amplified resist. As shown in Figure 5, the conventional resist pattern formation method has the problem that an excellent pattern having a stable and highly accurate size cannot be formed on a semiconductor substrate having a step even when a chemically amplified resist is used.

[0007] The present invention was made in order to solve the aforementioned problem and the objective of the present invention is therefore to provide a resist pattern formation method permitting formation of an excellent pattern having a stable and highly accurate size on a semiconductor substrate having a step, and a processor used for this formation.

[0008]

[Means for Solving the Problem] The resist pattern formation method in accordance with claim 1 of the present invention includes a process of forming a slightly soluble layer which is not soluble in a developer, on the surface of a part of a chemically amplified resist at a level equal to the largest height of the step of the resist, in a case where exposure is focused on a part of the resist of which surface is at a level equal to the smallest height of the step of the resist, and forming the slightly soluble layer on the surface of the part of the resist at the level equal to the smallest height of the step, in a case where exposure is focused on the part of the resist of which level is equal to the largest height of the step.

[0009] Further, the resist pattern formation method in accordance with claim 2 of the present invention includes a process of forming a slightly soluble layer which is not soluble in a developer, on the surface of a positive chemically amplified resist at a level equal to the largest height of

the step of the resist before or after a process of carrying out exposure focused on the surface of the resist at a level equal to the smallest height of the step, by neutralizing acid on the surface of the above positive chemically amplified resist.

[0010] Furthermore, in the resist pattern formation method in accordance with claim 3 of the present invention, neutralization is performed using a basic compound or water.

[0011] Moreover, the processor in accordance with claim 4 of the present invention includes a board on which a semiconductor substrate is placed and a plane plate which is set on the surface of the semiconductor substrate and in parallel to the semiconductor substrate and is designed so that a neutralizer adhered on the surface thereof is in contact with the part of the semiconductor substrate at a level equal to the largest height of the step of the semiconductor device or can be extremely close to that part.

[0012]

[Operation] The resist pattern formation method of the present invention includes a process of forming a slightly soluble layer which is not soluble in a developer, on the surface of a part of a chemically amplified resist at a level equal to the largest height of the step of the resist, in a case where exposure is focused on a part of the resist of which surface is at a level equal to the smallest height of the step of the resist, and forming the slightly soluble layer on the surface of the part of the resist at the level equal to the smallest height of the step, in a case where exposure is focused on the part of the resist of which level is equal to the largest height of the step. Hence, the chemically amplified resist pattern does not suffer film loss in the surface of the part of the resist at the level equal to the largest height of the step, in a case where exposure is focused on the part of the resist of which surface is at the level equal to the smallest height of the step of the resist, and in the surface of the part of the resist at the level equal to the smallest height of the step, a case where exposure is focused on the surface of the part of the resist at the level equal to the smallest height of the step.

[0013] Moreover, the resist pattern formation method of the present invention includes a process of forming a slightly soluble layer which is not soluble in a developer, on the surface of a positive chemically

amplified resist at a level equal to the largest height of the step of the resist before or after a process of carrying out exposure focused on the surface of the resist at a level equal to the smallest height of the step, by neutralizing acid on the surface of the above positive chemically amplified resist. Hence, the chemically amplified resist pattern does not suffer film loss in the part of the resist at the level equal to the largest height of the step, even in a case where exposure is focused on the part of the resist at the level equal to the smallest height of the step.

[0014] Further, since neutralization is performed using a basic compound or water in the resist pattern formation method of the present invention, a slightly soluble layer can be readily formed on the surface of a step of a chemically amplified resist having a step, at a level equal to the largest height of the step.

[0015] The processor in the present invention includes a board on which a semiconductor substrate is placed and a plane plate which is set on the surface of the semiconductor substrate and in parallel to the semiconductor substrate and is designed so that a neutralizer adhered on the surface thereof is in contact with the part of the semiconductor substrate at a level equal to the largest height of the step of the semiconductor device or can be extremely close to that part. Hence, a slightly soluble layer can be easily formed on the part of the chemically amplified resist having a step at the level equal to the largest height of the resist.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-320578

(43)Date of publication of application : 03.12.1996

(51)Int.Cl.

G03F 7/38

G03F 7/004

G03F 7/26

H01L 21/027

(21)Application number : 07-127969

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 26.05.1995

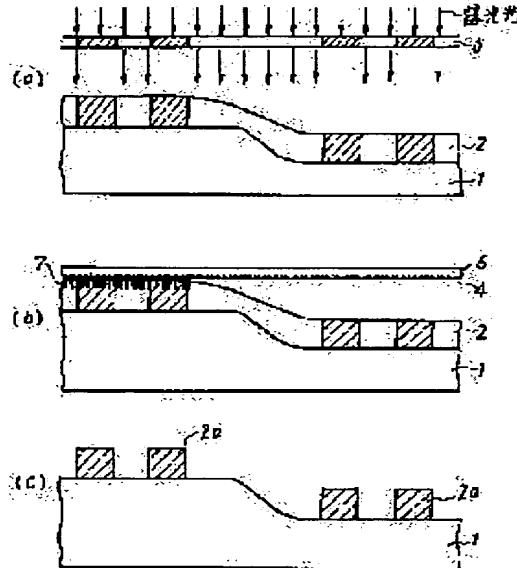
(72)Inventor : SAKAI JIYUNJIROU

(54) FORMATION OF RESIST PATTERN AND PROCESSOR USED FOR THE SAME

(57)Abstract:

PURPOSE: To stably form resist patterns having a good rectangular shape property and good dimensional accuracy on a semiconductor substrate having a difference in level.

CONSTITUTION: A chemical amplification type resist 2 is applied on the semiconductor substrate 1 having the difference in level and a plane plate 6 having a basic compd. or water is brought into contact with the high part of the difference in level, by which a hardly soluble layer 7 is formed in the high part of the difference in level on the front surface of the chemical amplification type resist 2. As a result, the film thinning in the resist patterns in the high part of the difference in level does not arise even if exposure is executed by focusing at the bottom part of the difference in level.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-320578

(43)公開日 平成8年(1996)12月3日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 03 F 7/38	5 1 1		G 03 F 7/38	5 1 1
7/004	5 0 3		7/004	5 0 3
7/26	5 1 1		7/26	5 1 1
H 01 L 21/027			H 01 L 21/30	5 6 8

審査請求 未請求 請求項の数4 OL (全6頁)

(21)出願番号 特願平7-127969

(22)出願日 平成7年(1995)5月26日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 坂井 淳二郎

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

(74)代理人 弁理士 高田 守 (外4名)

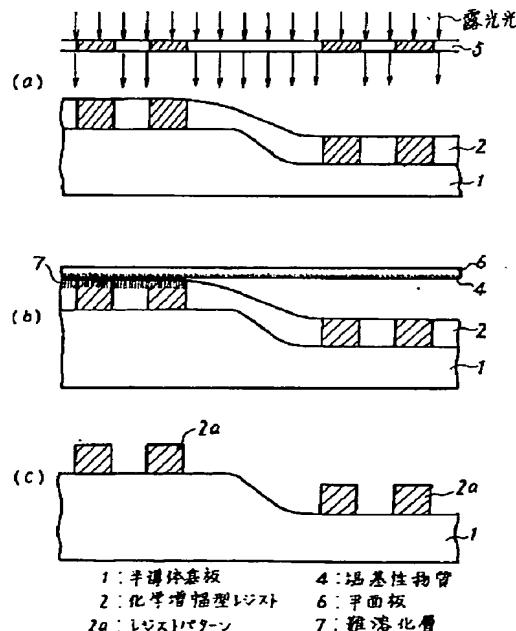
(54)【発明の名称】 レジストパターン形成方法及びそれに用いられる処理装置

(57)【要約】

【目的】 段差を有する半導体基板上に矩形性が良く、寸法精度の良いレジストパターンを安定して形成する。

【構成】 段差を有する半導体基板1上にポジ型の化学增幅型レジスト2を塗布し、塩基性化合物または水を有する平面板6を段差高部に接触させることにより化学増幅型レジスト2表面の段差高部に難溶化層7を形成する。

【効果】 段差底部に焦点を合わせて露光を行っても段差高部のレジストパターンが膜減りを起こすことがない。



1

2

【特許請求の範囲】

【請求項1】 段差を有する半導体基板上に化学增幅型レジストを塗布する工程と、上記化学增幅型レジストに露光する工程と、上記化学增幅型レジストに露光後熱処理を行う工程と、上記化学增幅型レジストを現像する工程と、を備えたレジストパターン形成方法において、上記化学增幅型レジストの段差底部に焦点を合わせて露光する場合には段差高部表面に、上記化学增幅型レジストの段差高部に焦点を合わせて露光する場合には段差底部表面に、現像液に対して不溶な難溶化層を形成する工程を備えたことを特徴とするレジストパターン形成方法。

【請求項2】 段差を有する半導体基板上にポジ型の化学增幅型レジストを塗布する工程と、上記ポジ型の化学增幅型レジストの段差底部に焦点を合わせて露光する工程と、上記ポジ型の化学增幅型レジストに露光後熱処理を行う工程と、上記ポジ型の化学增幅型レジストを現像する工程と、を備えたレジストパターン形成方法において、上記ポジ型の化学增幅型レジストの段差底部に焦点を合わせて露光する工程の前あるいは後に、上記ポジ型の化学增幅型レジストの段差高部表面に、上記ポジ型の化学增幅型レジスト表面の酸を中和することにより現像液に対して不溶な難溶化層を形成する工程を備えたことを特徴とするレジストパターン形成方法。

【請求項3】 中和が塩基性化合物または水を用いて行われていることを特徴とする請求項2記載のレジストパターン形成方法。

【請求項4】 半導体基板を載置する台と、上記半導体基板表面上でかつ上記半導体基板と平行に設置され、その表面に付着させた中和剤が上記半導体基板表面の段差高部に接触または極近距離に接近可能になるよう構成された平面板と、を備えた請求項2または3記載のレジストパターン形成に用いられる処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置の製造方法における転写工程に関し、特に化学增幅型レジストを用いた微細パターンの形成方法及びその処理装置に関するものである。

【0002】

【従来の技術】 近年、半導体装置の高集積化にともない微細化がますます必要とされている。半導体装置の微細化における主要工程のひとつとしてリソグラフィー工程がある。半導体基板上に微細パターンを形成するリソグラフィー工程において、高感度で優れた解像性能を有する化学增幅型レジストを感光性被膜として用いた高寸法精度の微細パターンの形成方法の技術開発が進められている。

【0003】 この化学增幅型レジストは樹脂と酸発生剤

と溶解制御剤とを主成分としており、その後の加熱処理によりこの酸であるH⁺が触媒として働き、溶解制御剤の触媒反応が促進され、レジストの現像液に対する溶解性の変化が起こる。ネガ型の場合には露光部分の溶解促進性が溶解阻害性に、またポジ型の場合には露光部分の溶解阻害性が溶解促進性に変化する。この性質を利用してパターンを形成しているものである。

【0004】 ところで、一般に、段差を有する半導体基板上にレジストを塗布しマスクを通して露光する場合、

10 段差高部に焦点を合わせると段差底部では焦点ズレとなり、段差底部に焦点を合わせると段差高部は焦点ズレとなる。これは化学增幅型レジストを使用した場合においても同様である。

【0005】 図5はポジ型の化学增幅型レジストを用いた場合の従来のパターン形成方法を示したものである。

まず、図5(a)に示すように、段差を有する半導体基板1上にポジ型の化学增幅型レジスト2を塗布しマスク5を通して段差底部に焦点を合わせて露光する。次に、図5(b)に示すように、露光後のポジ型の化学增幅型20 レジスト2を現像すると、段差底部のレジストパターン2は寸法精度良く形成されるが、段差高部のレジストパターン2は露光時に焦点ズレが起こりレジストパターン2の膜減りが起こる。したがって、段差高部では高精度な寸法を有する良好なレジストパターン2形成ができなかつた。

【0006】

【発明が解決しようとする課題】 従来の化学增幅型レジストを使用したパターン形成方法は以上のようにあり、図5に示すように、従来のレジストパターン形成方法では、化学增幅型レジストを用いても、段差を有する半導体基板上に安定した高精度な寸法を有する良好なパターン形成ができないという問題点があった。

【0007】 この発明は上記のような問題点を解消するためになされたもので、段差を有する半導体基板上に安定した高精度な寸法を有する良好なパターン形成が行えるレジストパターン形成方法及びそれに用いられる処理装置を提供することを目的としている。

【0008】

【課題を解決するための手段】 この発明の請求項1に係るレジストパターンの形成方法は、化学增幅型レジストの段差底部に焦点を合わせて露光する場合には段差高部表面に、上記化学增幅型レジストの段差高部に焦点を合わせて露光する場合には段差底部表面に、現像液に対して不溶な難溶化層を形成する工程を備えたものである。

【0009】 また、この発明の請求項2に係るレジストパターン形成方法は、ポジ型の化学增幅型レジストの段差底部に焦点を合わせて露光する工程の前あるいは後に、上記ポジ型の化学增幅型レジストの段差高部表面に、上記ポジ型の化学增幅型レジスト表面の酸を中和することにより現像液に対して不溶な難溶化層を形成する

工程を備えたものである。

【0010】また、この発明の請求項3に係るレジストパターン形成方法は、中和が塩基性化合物または水を用いて行われているものである。

【0011】また、この発明の請求項4に係る処理装置は、半導体基板を載置する台と、上記半導体基板表面上でかつ上記半導体基板と平行に設置され、その表面に付着させた中和剤が上記半導体基板表面の段差高部に接触または極近距離に接近可能になるよう構成された平面板と、を備えたものである。

【0012】

【作用】この発明におけるレジストパターンの形成方法は、化学增幅型レジストの段差底部に焦点を合わせて露光する場合には段差高部表面に、上記化学增幅型レジストの段差高部に焦点を合わせて露光する場合には段差底部表面に、現像液に対して不溶な難溶化層を形成する工程を備えるようにしたので、段差底部に焦点を合わせて露光する場合には段差高部表面において、段差高部に焦点を合わせて露光する場合には段差底部表面において、化学增幅型レジストパターンが膜減りを起こすことがない。

【0013】また、この発明におけるレジストパターン形成方法は、ポジ型の化学增幅型レジストの段差底部に焦点を合わせて露光する工程の前あるいは後に、上記ポジ型の化学增幅型レジストの段差高部表面に、上記ポジ型の化学增幅型レジスト表面の酸を中和することにより現像液に対して不溶な難溶化層を形成する工程を備えるようにしたので、ポジ型の化学增幅型レジストにおいて、段差底部に焦点を合わせて露光を行っても段差高部のレジストパターンが膜減りを起こすことがない。

【0014】また、この発明におけるレジストパターン形成方法は、中和が塩基性化合物または水を用いて行われているようにしたので、段差を有する化学增幅型レジストの段差高部に容易に難溶化層を形成することができる。

【0015】また、この発明における処理装置は、半導体基板を載置する台と、上記半導体基板表面上でかつ上記半導体基板と平行に設置され、その表面に付着させた中和剤が上記半導体基板表面の段差高部に接触または極近距離に接近可能になるよう構成された平面板と、を備えるようにしたので、段差を有する化学增幅型レジストの段差高部に容易に難溶化層を形成することができる。

【0016】

【実施例】以下、この発明の実施例を図を用いて説明する。

実施例1. 図1はこの発明の段差を有する半導体基板上のパターンの形成方法を示す図である。図にしたがつて順に説明する。まず、図1(a)に示すように、段差を有する半導体基板1上にポジ型の化学增幅型レジスト2を塗布し、マスク5を通して段差底部に焦点を合わせ

て露光を行う。この露光によりポジ型の化学增幅型レジスト2の酸発生剤からH⁺3が生じる(図示なし)。

【0017】次に、図1(b)に示すように、段差を有するポジ型の化学增幅型レジスト2表面のうち段差高部のみに塩基性化合物4や水を表面に有した平面板6を選択的に接触させ、塩基性化合物処理または水処理を行う。このとき平面板6はシリコン窒化膜や窒化シリコンチタン膜などの窒素を有する膜、表面に水を吸着しやすいTEOS酸化膜やBPSG膜、さらにアンモニアを過剰に供給する成膜条件の下で形成されアンモニアを多く取り込んだ状態のシリコン窒化膜などを最表面に有する半導体基板あるいはアンモニアや水を吸着させた多孔性平面板などを用いる。

【0018】このとき、化学增幅型レジスト2は一般に、露光後、現像までの間にアンモニアなどの酸を中和するような塩基性化合物が含まれている雰囲気中にさらされると、図4に示すように、レジスト2表面のH⁺3は塩基性化合物4との間で中和反応を起こして失活し、パターンニングに必要なレジスト2の現像液に対する溶解性の変化が抑制されてしまう。つまり、ネガ型レジスト2bではレジスト表面の膜減りが起こり、ポジ型レジスト2aではレジスト表面にアルカリ現像液に対して不溶な難溶化層7が生成する。

【0019】したがって、これらの平面板6をポジ型の化学增幅型レジスト2表面に接触させると、露光により生じたポジ型の化学增幅型レジスト2表面のH⁺3は塩基性化合物4あるいは孤立電子対が塩基性を示すと考えられている窒素あるいは水等との間で中和反応を起こして失活し、ポジ型の化学增幅型レジスト2表面にアルカリ現像液に対して不溶な難溶化層7が形成される。

【0020】その後、図1(c)に示すように、ポジ型の化学增幅型レジスト2の現像を行う。この時、ポジ型の化学增幅型レジスト2の段差高部の表面には難溶化層7が形成されているので、マスク5を通して段差底部に焦点を合わせて露光を行っても段差高部のレジストパターンが膜減りを起こすことがない。従って、段差を有する半導体基板1上において矩形性が良く、寸法精度の良いレジストパターンを安定して形成することができる。

【0021】実施例2. 図2はこの発明のレジストパターン形成工程を示すフローチャート図である。上記実施例1では図2(a)に示すように、塩基性化合物処理および水処理が露光工程と現像工程との間で行われた場合について説明したが、図2(b)に示すようにレジスト塗布工程と露光工程との間で行われても上記実施例1と同様の効果がある。

【0022】この場合、塗布された化学增幅型レジスト2の表面にあらかじめ塩基性化合物4や水を付着し、その後の露光工程によって化学增幅型レジスト2の酸発生剤から生じたH⁺3は化学增幅型レジスト2の表面にすでに存在している塩基性化合物4や水によって中和反応

を起こして失活し、難溶化層7が形成される事になる。

【0023】実施例3. 図3は上記実施例1および実施例2で説明したレジストパターン形成工程のうち、塩基性化合物処理または水処理の工程とそれに続く熱処理工程を行う処理装置を示す断面図である。図に示すように、熱処理を行うための熱板8上に半導体基板1を載置し、半導体基板1の表面上であって半導体基板1と平行に平面板6を設置する。この平面板6は外部に設置している駆動用のモーター9と連結している。このモーター9により平面板6を移動させることにより、段差を有する化学增幅型レジスト2の段差高部表面に平面板6を接触あるいは極近距離に位置させることにより難溶化層7を形成する。その後、段差底部に焦点を合わせて露光を行っても段差高部のレジストパターンが膜減りを起こすことがない。従って、段差を有する半導体基板1において矩形性が良く、寸法精度の良いレジストパターンを安定して形成することができる。

【0024】図2(a)に示すレジストパターン形成工程のフローチャートでは、難溶化層7形成後に同じまたは別の処理装置内で熱処理を行う。また、図2(b)に示すレジストパターン形成工程のフローチャートでは、難溶化層7形成前に同じまたは別の処理装置内で熱処理を行う。

【0025】実施例4. 上記実施例では段差高部表面に難溶化層7を形成した場合について説明したが、段差底部表面に難溶化層7を形成し、段差高部に焦点を合わせて露光を行っても段差を有する半導体基板1において矩形性が良く、寸法精度の良いレジストパターンを安定して形成することができる。

【0026】

【発明の効果】以上のようにこの発明によれば、化学增幅型レジストの段差底部に焦点を合わせて露光する場合には段差高部表面に、上記化学增幅型レジストの段差高部に焦点を合わせて露光する場合には段差底部表面に、現像液に対して不溶な難溶化層を形成する工程を備えるようにしたので、段差底部に焦点を合わせて露光する場合には段差高部表面において、段差高部に焦点を合わせて露光する場合には段差底部表面において、化学增幅型レジストパターンが膜減りを起こすことがなく、段差を有する半導体基板上において矩形性が良く、寸法精度の良いレジストパターンを安定して形成することができる。

【0027】また、この発明におけるレジストパターン

形成方法は、ポジ型の化学增幅型レジストの段差底部に焦点を合わせて露光する工程の前あるいは後に、上記ポジ型の化学增幅型レジストの段差高部表面に、上記ポジ型の化学增幅型レジスト表面の酸を中和することにより現像液に対して不溶な難溶化層を形成する工程を備えるようにしたので、ポジ型の化学增幅型レジストにおいて、段差底部に焦点を合わせて露光を行っても段差高部のレジストパターンが膜減りを起こすことがなく、段差を有する半導体基板上において矩形性が良く、寸法精度の良いポジ型の化学增幅型レジストパターンを安定して形成することができる。

【0028】また、この発明におけるレジストパターン形成方法は、中和が塩基性化合物または水を用いて行われているようにしたので、段差を有する化学增幅型レジストの段差高部に容易に難溶化層を形成することができ、段差を有する半導体基板上において矩形性が良く、寸法精度の良い化学增幅型レジストパターンを安定して形成することができる。

【0029】また、この発明における処理装置は、半導体基板を載置する台と、上記半導体基板表面上でかつ上記半導体基板と平行に設置され、その表面に付着させた中和剤が上記半導体基板表面の段差高部に接触または極近距離に接近可能になるよう構成された平面板と、を備えるようにしたので、段差を有する化学增幅型レジストの段差高部に容易に難溶化層を形成することができ、段差底部に焦点を合わせて露光を行っても段差高部のレジストパターンが膜減りを起こすことがなく、段差を有する半導体基板上において矩形性が良く、寸法精度の良い化学增幅型レジストパターンを安定して形成することができる。

【図面の簡単な説明】

【図1】 この発明の実施例1によるレジストパターン形成方法を示す工程断面図である。

【図2】 この発明の実施例2によるレジストパターン形成工程を示すフローチャート図である。

【図3】 この発明の実施例3による処理装置を示す断面図である。

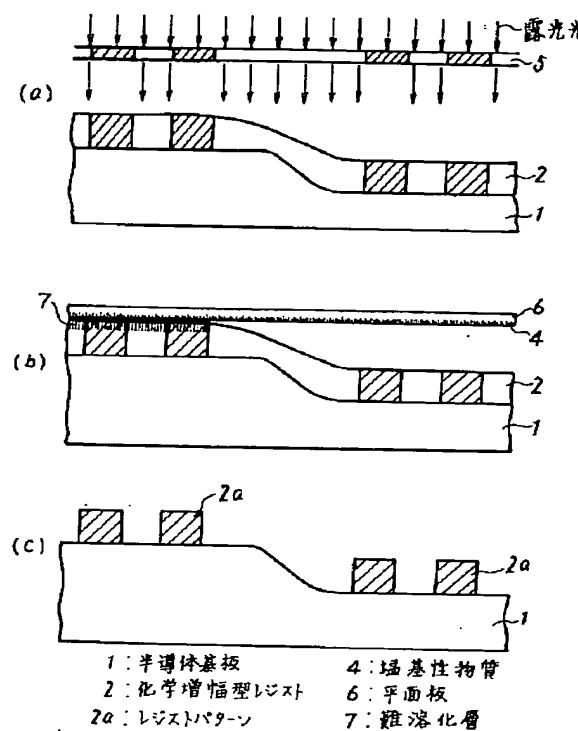
【図4】 化学增幅型レジストの性質を示す図である。

【図5】 従来のレジストパターン形成方法を示す工程断面図である。

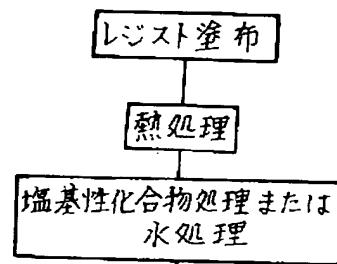
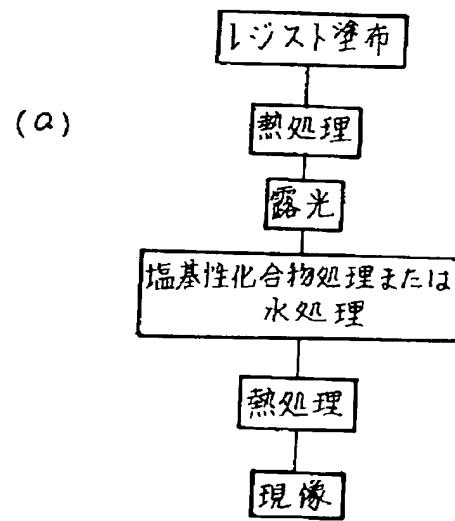
【符号の説明】

1 半導体基板、2 化学增幅型レジスト、3 酸、4 塩基性化合物、6 平面板、7 難溶化層。

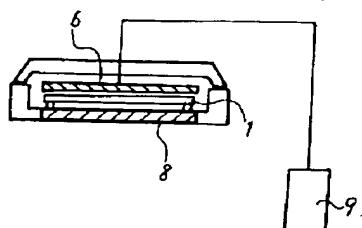
【図1】



【図2】

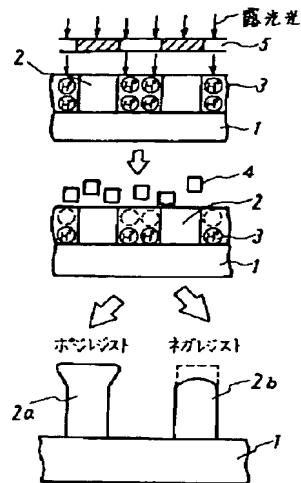


【図3】



9: モーター

【図4】

 $J : H^+$ (酸)

【図5】

